

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-269476

(43)Date of publication of application : 14.10.1997

(51)Int.Cl.

G02F 1/133

G02F 1/136

G09G 3/36

(21)Application number : 08-077874

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 29.03.1996

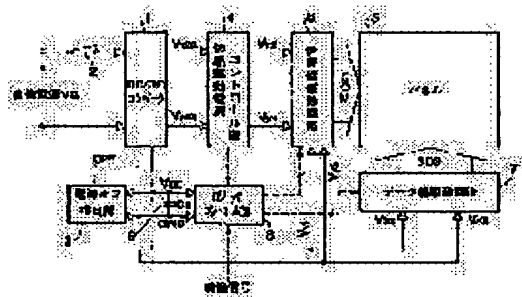
(72)Inventor : YATABE SATOSHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress residual electric charges of liquid crystal and active elements at the time a power source is turned off to minimum by starting the gradual reducing of voltages applied to active elements from a time when the interruption of the power source is detected.

**SOLUTION:** When a power source switch 2 is turned off, the effect is detected by a power source off detection part 3 and voltages of a liquid crystal layer are gradually discharged by lowering liquid crystal driving voltages VY2-VY4 along optimum curves intrinsic to a panel 5 in a liquid crystal driving power source control part 4 while a logic voltage VDD is held. Then, the voltages of the liquid crystal layer are made to be lowered to voltages having no problem before respective driving circuits 6, 7 are stopped. As a result, it is avoided that the power source is interrupted in a state in which electric charges are charged on the liquid crystal connected to active elements and elements themselves. Moreover, it is possible that electric charge charged on the liquid crystal is discharged in a short time by selecting plural scanning lines simultaneously. Thus, the degradation of elements and flicker at the time of resupplying the power source are suppressed.



## LEGAL STATUS

[Date of request for examination] 27.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3454003

[Date of registration] 25.07.2003

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] A liquid crystal display characterized by to provide a control voltage maintenance means to hold control voltage for controlling said active element in a liquid crystal display of a active-matrix mold using two or more 2 terminal system active elements, a detection means to detect cutoff of a power supply, and an armature-voltage control means to begin to dwindle voltage built over said active element when the detection means detects cutoff of a power supply.

[Claim 2] It is the liquid crystal display characterized by providing a signal generation means to generate a selection indication signal it is directed that chooses two or more scanning lines as said scanning-line driving means simultaneously from from when said active element is arranged in a liquid crystal display according to claim 1 at an intersection of the scanning line and a signal line, said applied voltage is controlled by scanning-line driving means and signal-line driving means and said detection means detects cutoff of a power supply further.

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the liquid crystal display which uses 2 terminal system active element.

[0002]

[Description of the Prior Art] In recent years, the liquid crystal display is widely used for the liquid crystal television, the personal word processor, the personal computer, etc. as a lightweight display device with the low power. And in order to display future further much image information, the increment in the number of pixels and the number of gradation is expected. The increment in such a number of pixels and the number of gradation meant large capacity-ization of display image information, consequently the scan period of one line of a liquid crystal display became short gradually, and gradation has also been controlled more finely.

[0003] The pulse height modulation technique and pulse width modulation which perform control of the frame modulation technique which performs gradation control by inter-frame [ two or more ], the pulse height of the data signal within a selection period, or pulse width as a method of controlling the gradation of such a liquid crystal display are used conventionally. Among these, pulse width modulation is the period which divides a level selection period at two or more periods which responded to the number of gradation, and adds an ON component to the data line in a level selection period, i.e., the method which performs a gradation display by changing write-in pulse width.

[0004] Moreover, the liquid crystal display of an active-matrix mold is in one of the liquid crystal displays which meet the demand of increasing both the numbers of pixels and the numbers of gradation which were mentioned above. It is one of the features for an active-matrix liquid crystal display to prepare an active element for every pixel, and to memorize image information by it. There are 3 terminal mold element represented by an amorphous silicon and the TFT element and a 2 terminal mold element represented by the MIM (conductor - insulating material - conductor) element in the active element used for an active-matrix liquid crystal display. By using the switching function of an active element, compared with a passive-matrix liquid crystal display, all realize the increment in the number

of actuation lines, and display mass image information.

[0005] The above-mentioned MIM element is begun for 2 terminal mold element, there are a back two back diode element, a diode ring element, a varistor element, etc. as it, and all have the nonlinear current-voltage characteristic. Drawing 9 is drawing showing the current-voltage characteristic of the MIM element used most widely as a 2 terminal mold active element. The axis of ordinate shows current and understands that the current-voltage characteristic is nonlinear for the voltage on which a horizontal axis joins an MIM element. Drawing 10 is drawing showing the equal circuit of 1 pixel of the liquid crystal display which used the MIM element. Voltage which joins VLC and an MIM element in the voltage which joins VD and a liquid crystal layer in driver voltage is set to VMIM. RLC and CLC show the resistance and capacity value of a liquid crystal layer, and RMIM and CMIM show the resistance and capacity value of an MIM element, respectively. In the liquid crystal display, the equal circuit shown in drawing 10 is constituted in the shape of a matrix. Any one scanning line and data line in the scanning line of it plurality and the data line are connected to each equal circuit, and the pixel to drive is chosen by choosing the predetermined scanning line and the predetermined data line.

[0006] Drawing 11 is drawing showing the ideal wave at the time of driving the liquid crystal panel which used 2 terminal mold active element. It is an ideal wave at the time of using a binary voltage level (VX1, VX2) for a data side for the voltage level (VY1-VY4) of four values, in order to suppress the leak during a non-selection period to a scan side, and performing Pulse Density Modulation. Moreover, in this example, frame reversal and one-line reversal are used for the alternating current-ized method. The data-line driving signal SEG is set as a wave which gives a mean value. Moreover, when an alternating current-ized signal (FR) is High level as a scan signal COM, the voltage level of VY4 is outputted in a selection period (TS), and in the case of Low level, the voltage level of VY2 is outputted. Moreover, VY1 or VY3 are outputted to a non-selection period (Tns). When such voltage is applied to the scanning line and the data line, the difference voltage (SEG-COM) of a scan electrode and a data electrode turns into a liquid crystal device shown in drawing 10 and drawing 11, and the driver voltage VD impressed between MIM elements.

[0007] Drawing 12 shows the voltage (VMIM) which joins driver voltage (VD) in case gradation data is halftone data, the voltage (VLC) which joins a liquid crystal layer, and an MIM element. The period when the voltage which joins an MIM element is high in case gradation data is displayed is a portion from which data voltage changes to ON voltage level, current flows by the nonlinear characteristic of an MIM element in this portion, and voltage is quickly charged by the liquid crystal device.

[0008]

[Problem(s) to be Solved by the Invention] By the way, in the conventional liquid crystal display mentioned above, when a power supply is turned off, and the logic voltage which is the terminal voltage of the power supply which drives the internal logic section falls according to the capacitor capacity and the load current of a power supply and becomes below a certain voltage value, the actuation circuit of a panel suspends actuation. Although the voltage impressed to a panel at this event is unfixed, to each scan electrode, VX1 or VX2 will be continuously impressed anyway to the voltage of either VY1-VY4, and each data electrode. In this condition, since the MIM element of each pixel becomes fixed by OFF or the ON state, it will be in one of the conditions of whether the voltage of a liquid crystal layer is charged in the direction in which an absolute value serves as size more, or the voltage once charged at the time of actuation continue being held.

[0009] Anyway, it will be in the condition that direct current voltage continues being impressed to liquid crystal and an MIM element, and will become the cause of degrading a property for both sides, as everyone knows. Moreover, along a scan line, generate a black line, impression of the direct current voltage generated at the time of this power supply OFF produces the nonconformity of making the display in front of OFF remain as it is etc., and also it is known that it is also what generates a flicker at the time of a power supply reclosing.

[0010] This invention was made under such a background and aims at offering the liquid

crystal display which can press down the liquid crystal at the time of power supply OFF, and the residual charge of an active element to min.

[0011]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, when a control-voltage maintenance means hold control voltage for controlling said active element in a liquid crystal display of a active-matrix mold with which invention according to claim 1 uses two or more 2 terminal system active elements, a detection means detect cutoff of a power supply, and its detection means detect cutoff of a power supply, it is characterized from from by to provide an armature-voltage-control means begin to dwindle voltage concerning said active element.

[0012] Moreover, invention according to claim 2 is characterized by providing a signal generation means to generate a selection indication signal it is directed that chooses two or more scanning lines as said scanning-line driving means simultaneously from from, when said active element is arranged at an intersection of the scanning line and a signal line, said applied voltage is controlled by scanning-line driving means and signal-line driving means and said detection means detects cutoff of a power supply further.

[0013] According to the above-mentioned configuration, when cutoff of a power supply is detected, it is lost that a power supply intercepts in the condition [ that a charge is charged by liquid crystal connected to an active element in a liquid crystal display of a active-matrix mold since voltage concerning 2 terminal system active element begins to be dwindled where control voltage is held, and the element itself ]. Moreover, it becomes possible by choosing two or more scanning lines simultaneously to discharge a charge charged by liquid crystal for a short time.

[0014]

[Embodiment of the Invention] Hereafter, 1 operation gestalt of this invention is explained with reference to a drawing. Drawing 1 is the block diagram showing the liquid crystal display which is 1 operation gestalt of this invention. In this drawing, 1 is a DC to DC converter, and changes and outputs the direct current voltage supplied from DC power supply VB constituted by the DC power supply using a source power supply, a battery, etc. through an electric power switch 2 to liquid crystal driver voltage VY2a, VY4a, and the logic voltage VDD. In addition, it is not made not to explain the logic voltage VDD here, but it may be made to be supplied from external equipment. 3 is a power supply off detecting element, and if it detects that the logic voltage VDD fell, a control signal OFF will be made into High level. 4 is the liquid crystal actuation power supply control section, and when a control signal OFF is set to High level, it is outputted as liquid crystal driver voltages VY2 and VY4, reducing gradually liquid crystal driver voltage VY2a and VY4a.

[0015] 5 is a panel and is using the active matrix liquid crystal panel which has arranged the pixel which consists the same MIM element as what was explained with reference to drawing 9 and drawing 10 of an active element and liquid crystal in the shape of a matrix with this operation gestalt. 6 is a scanning-line actuation circuit and impresses a predetermined voltage waveform to two or more scan electrodes connected to two or more scanning lines which a panel 5 has using the liquid crystal driver voltages VY1, VY2, VY3, and VY4. 7 is a data-line actuation circuit and impresses a predetermined voltage waveform to two or more data electrodes connected to two or more data lines which a panel 5 has using the liquid crystal driver voltages VX1 and VX2 (they are the logic voltage VDD and the touch-down potential GND in this case).

[0016] 8 is the logic control section, consists of two or more logical circuits which operate considering the logic voltage VDD as supply voltage, and controls the scanning-line actuation circuit 6 and the data-line actuation circuit 7 based on the video signal supplied from the outside. 9 is a capacitor, and it is used in order to carry out predetermined time maintenance of the logic voltage VDD, when an electric power switch 2 turns off in order to usually sometimes stabilize the logic voltage VDD and.

[0017] With the liquid crystal display shown in drawing 1, the driver voltage VD of each [ which the logic control section 8 controlled the scanning-line actuation circuit 6 and the

data-line actuation circuit 7 usually based on the video signal in the time, and was prepared at the panel 5 ] liquid crystal pixel which the electric power switch 2 turns on is controlled by the above configuration (refer to drawing 10 ). Drawing 2 is a timing chart which shows the driver voltage VD NO wave impressed to a liquid crystal pixel with the top (n is the natural number) of n lines, and the liquid crystal pixel on n+1 line. Since the voltage of the difference of each applied voltage of the scanning line and the data line is impressed to each pixel,  $VDD - VY4$  and  $-VY2$  ( $=0 - VY2$ ) will be impressed in this case. Moreover, the voltage value of the liquid crystal voltage VLC is controlled by controlling the length of Ton by pulse width control (curve shown by the drawing middle point line). Moreover, while reversing a wave for every frame and performing alternating current-ization, the polarity of applied voltage is reversed during 1 selection period.

[0018] On the other hand, when an electric power switch 2 turns off, it is detected by the power supply off detecting element 3, while the logic voltage VDD is held, the liquid crystal driver voltages VY2 and VY4 are dropped along with the optimal curve peculiar to a panel 5 in the liquid crystal actuation power supply control section 4, and it discharges gradually and goes the voltage VLC of a liquid crystal layer. And it is made to descend to the voltage which will be satisfactory in the voltage VLC of a liquid crystal layer by the time each actuation circuits 6 and 7 suspend actuation. Drawing 3 is a timing chart which shows the wave of the 1-pixel driver voltage VD at the time of power supply OFF, and the liquid crystal voltage VLC. In addition, in this case, it replaced with the usual actuation method at the time of power supply OFF, and the actuation method by which all the scanning lines are chosen is adopted. By this method, when a power supply is turned off, time amount, i.e., the time amount which making it fully descend takes the voltage of all liquid crystal layers, until the actuation circuits 6 and 7 of a panel 5 suspend actuation can be shortened from from. And a wave-like change of driver voltage VD stops in the place where the logic control section 8 suspended actuation. He can adjust time amount after a power supply turns off until the logic control section 8 suspends actuation by setting up the capacity of a capacitor 9 appropriately, and is trying to become sufficiently longer than time amount required for the voltage VLC of liquid crystal to descend to a predetermined value. In addition, it is not necessary to necessarily use that as which the scanning line is all chosen as the actuation method at the time of power supply OFF, and the voltage of liquid crystal may be dropped, usually driving by the same actuation method as the time.

[0019] Hereafter, the configuration and actuation of each part which are shown in drawing 1 are explained to details. Drawing 4 is the circuit diagram showing the internal configuration of the power supply OFF detecting element 3. The diode with which a PNP transistor and 42 charge a capacitor on the logic voltage VDD, and, as for 43, 41 charges a capacitor 42 in drawing 4 , and 44 and 45 are resistance connected to the collector and the base of a transistor 41. The control signal OFF is taken out from the collector of a transistor 41. With this configuration, if the logic voltage VDD falls by about 0.7v rather than a steady state, a control signal OFF will be set to High level, and OFF of a power supply will be detected. In addition, it may replace with what is shown in this drawing as a power supply off detecting element 3, and the general-purpose voltage detection IC etc. may be used. Moreover, in the device equipped with the battery, a switch is separately formed in directions of power supply ON / OFF, and when the switch is operated, it can control to turn off the power supply of each part according to a predetermined sequence. That is, after not generating an OFF signal by detecting lowering of the logic voltage VDD, generating an OFF signal when switch actuation of directing power supply OFF is detected, and beginning to dwindle driver voltage, it is possible to turn off the logic voltage VDD after fixed time amount.

[0020] Drawing 5 is the circuit diagram showing the configuration of the liquid crystal actuation power supply control section 4. Take, it is in drawing 5 and, as for an inverter, 56-59, and R2 and R4, for a PNP transistor, and 53 and 54, resistance, and C2 and C4 are [ 51 and 52 / an NPN transistor and 55 ] capacitors. With this configuration, when a control signal OFF is set to High level, four transistors 51-54 turn off and supply of the voltage of VY2 and VY4 is turned off. Voltage VY2 and VY4 falls and goes after it according to a capacitor C2, resistance

R2 and a capacitor C4, and the magnitude of the load which requires each voltage for resistance R4 list. Therefore, it becomes possible by setting up the capacitor C1 (referring to drawing 1) between VDD-GND beyond a certain value, and optimizing the time constant by the capacitor C2, resistance R2 and a capacitor C4, and resistance R4 to drop liquid crystal driver voltage along with a predetermined curve. In addition, OFF of supply of the voltage of VY2 and VY4 is not turned off with switching means, such as a transistor, as shown in drawing 5, but it can be turned off by suspending actuation of DC-DC converter 1.

[0021] In addition, although voltage VY2 and VY4 is always impressed to resistance R2 and R4, only when insert one transistor in resistance R2 and R4 at a time at a serial, it is made to usually sometimes turn off and an OFF signal is set to High level, those things [ usually decreasing the power consumption at the time, as transistor wp ON is carried out ] are also possible in the circuit shown in drawing 5.

[0022] Drawing 6 is the circuit diagram showing other examples of a configuration of the liquid crystal actuation power supply control section 4, and has attached the same sign to the element which makes the same operation as what is shown in drawing 5. The circuit shown in drawing 6 is used when suspending actuation of DC to DC converter 1 at the time of power supply OFF. Moreover, transistors 61 and 62 are for reducing the power which was mentioned above and which is usually sometimes consumed by resistance R2 and R4.

[0023] Next, with reference to drawing 7, the configuration for choosing all the scanning lines at the time of power supply OFF is explained. the logical value stored in the shift register with which the scanning-line actuation circuit 6 equips the interior based on the control signal which (a) shows the timing chart of the control signal (a shift pulse, DY, SEL) supplied to the scanning-line actuation circuit 6 from the logic control section 8 in drawing 7, and shows (b) and (c) to (a) -- a table -- it is a thing the bottom. (b) And the shift register shown in (c) connects the register of the same number with a scan electrode at a serial, and the output of each register serves as each scan signals COM1, COM2, --, COM240. However, the number of the scanning lines of a panel 5 is made into 240 in this case.

[0024] The scanning-line actuation circuit 6 shifts the level inputted with the control signal DY on an internal shift register according to a shift pulse, goes, and carries out actuation which sets the output level impressed to each scan electrode with the level of the polar signal FR (refer to drawing 11) and a shift register to either Vy1-Vy4 (refer to this drawing). Usually, voltage is impressed to a scan electrode so that only any one scanning line may be chosen at the time of actuation. Drawing 7 (b) shows the condition of the shift register in the time of day t1 shown in (a), and this usually shows the condition at the time. On the other hand, drawing 7 (c) shows the condition of a shift register when power supply OFF is detected in time of day t2 and an one-frame period passes. In this case, High level is stored in all registers. In the logic control section 8, this is made by having fixed Signal DY to High level, after detecting that the OFF signal was set to High level. When all the registers of a shift register are set to High level, it will be in the condition that all the scanning lines were chosen, and the voltage of Vy2 and Vy4 will be impressed to all the scanning lines by turns for every shift pulse (refer to drawing 3). Since the load to the capacitors C2 or C4 shown in drawing 5 or drawing 6 becomes larger when all the scanning lines are chosen, it becomes possible to drop the voltage of a liquid crystal layer you to be Sumiya from the case where all selections are not made.

[0025] Thus, with the configuration shown in drawing 7, only by considering Signal DY as immobilization at the time of power supply OFF, since all selections of the scanning line are realized, there is an advantage that the existing scanning-line actuation circuit can be used as it is. In addition, although it is usually at the time and the power supply OFF time and the frequency of a shift pulse is not changed in the example shown in drawing 7, it is possible to also make it operate so that frequency of a shift pulse may be made high only at the time of power supply OFF. In this case, although circuit modification is needed for the logic control section 8 to some extent, it becomes possible to shorten the time amount taken to all choose the frequency of a shift pulse by making it high.

[0026] Drawing 8 is the thing block diagram showing other configurations for choosing all the scanning lines. It inputs into 2 input OR gate in which each output of a shift register was

newly prepared corresponding to each with the configuration shown in this drawing. The signal SEL newly established altogether is inputted into the input terminal of another side of each OR gate. And each scan signals COM1-COM240 are acquired as an output of each OR gate. This configuration enables it to choose all the scanning lines in an instant by making Signal SEL into High level at the time of power supply OFF. Therefore, it becomes possible to fall the voltage of a liquid crystal layer early more compared with the example shown in drawing 7.

[0027] In addition, although explanation of the above operation gestalt describes the liquid crystal display which uses an MIM element as an example of representation, it can apply this invention about other 2 terminal system active elements. Moreover, it is applicable to a common name "a shaking power supply."

[0028]

[Example] By the result checked by experiment, using a configuration as shown in drawing 1 In the liquid crystal display using [ when not all choosing the scanning line ] 960x240 dots and about 5 inches MIM At the time of the frame period of 60Hz, 1= 470 micro F of C, 4= 10 micro F of C2=C, Time amount until it is referred to as R2=R4=4.7kohm and the actuation circuit of a panel suspends actuation from the time of OFF detection 70ms, When it was made to descend along with a curve which is set to VDD+3V and GND-3V about VY2 and VY4, respectively at the time of a halt of the actuation circuit of a panel of operation, each circuit was able to operate by the desired sequence and was also able to make the charge of a liquid crystal layer discharge enough.

[0029] Moreover, when the scanning line is all chosen and frequency of a shift clock is not changed, In the liquid crystal display using 960x240 dots and about 5 inches MIM At the time of the frame period of 60Hz, 1= 220 micro F of C, 4= 3.3 micro F of C2=C, Time amount until it is referred to as R2=R4=4.7kohm and the actuation circuit of a panel suspends actuation from the time of OFF detection 30ms, When it was made to descend along with a curve which is set to VDD+3V and GND-3V about VY2 and VY4, respectively at the time of a halt of the actuation circuit of a panel of operation, the same good result as the case where it does not all choose in short-time actuation was able to be obtained.

[0030] Furthermore, when the shift pulse of twice [ at the time ] as many frequency as this was usually inputted into the scanning-line actuation circuit 6 from the logic control section 8 at the time of power supply OFF, the same result as the case where the shift pulse of the usual frequency is inputted was able to be obtained with the value of 1= 100 micro F of C, 4= 1.0 micro F of C2=C, and R2=R4=4.7kohm.

[0031]

[Effect of the Invention] Since the voltage built over 2 terminal system active element where control voltage is held begins to be dwindled according to this invention when cutoff of a power supply is detected as explained above, it is lost that a power supply intercepts in the condition [ that a charge is charged by the liquid crystal connected to the active element in the liquid crystal display of a active-matrix mold and the element itself ]. Moreover, it becomes possible by choosing two or more scanning lines simultaneously to discharge the charge charged by liquid crystal for a short time. therefore, according to this invention, it comes out to press down the element at the time of power supply OFF and the residual charge of liquid crystal to min, and it is effective in the ability to stop the flicker at the time of element deterioration or a power supply reclosing.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the liquid crystal display by 1 operation gestalt of this invention.

[Drawing 2] It is the timing chart of the driver voltage in the liquid crystal display shown in drawing 1 which usually shows the wave at the time.

[Drawing 3] It is the timing chart which shows the wave at the time of power supply OFF of the driver voltage in the liquid crystal display shown in drawing 1.

[Drawing 4] It is the circuit diagram showing the example of a configuration of the power supply OFF detecting element 3 shown in drawing 1.



[Drawing 5] It is the circuit diagram showing the example of a configuration of the liquid crystal actuation power supply control section 4 shown in drawing 1.

[Drawing 6] It is the circuit diagram showing other examples of a configuration of the liquid crystal actuation power supply control section 4 shown in drawing 1.

[Drawing 7] They are a timing chart (a) for explaining actuation of the shift register inside the scanning-line actuation circuit 6 shown in drawing 1, and drawing usually showing the condition (b) of the shift register at the time, and the condition (c) of the shift register at the time of power supply OFF.

[Drawing 8] It is the block diagram showing the modification of the shift register shown in drawing 7.

[Drawing 9] It is drawing showing the current-voltage characteristic of an MIM element.

[Drawing 10] It is the representative circuit schematic of 1 pixel which consists of an MIM element and a liquid crystal layer.

[Drawing 11] It is the timing chart which shows the wave of the conventional liquid crystal display of operation.

[Drawing 12] It is drawing showing the location survey wave of a wave of operation of the conventional liquid crystal display.

[Description of Notations]

3 Power Supply Off Detecting Element

4 Liquid Crystal Actuation Power Supply Control Section

5 Panel

6 Scanning-Line Actuation Circuit

7 Data-Line Actuation Circuit

8 Logic Control Section

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-269476

(43)公開日 平成9年(1997)10月14日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
	1/136	5 0 5	1/136	5 0 5
G 0 9 G 3/38			G 0 9 G 3/38	

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21)出願番号 特願平8-77874

(22)出願日 平成8年(1996)3月29日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 矢田部 聡

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

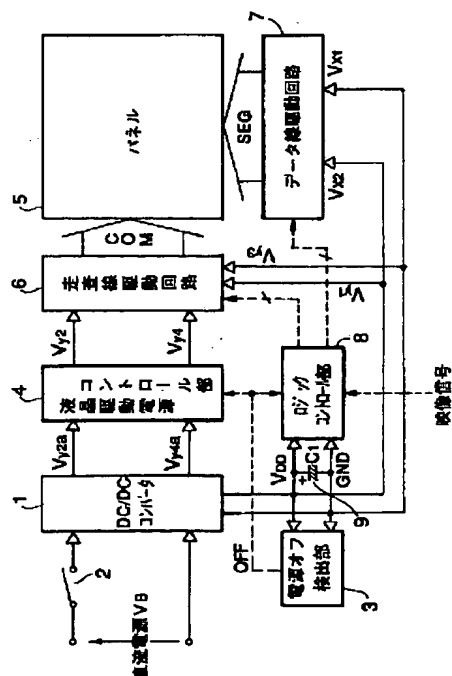
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】電源オフ時の液晶及び能動素子の残留電荷を最小に抑えることができる液晶表示装置を提供する。

【解決手段】2端子系能動素子(MIM)を用いるアクティブマトリクス型の液晶表示装置において、MIM素子を制御するためのロジック電圧を保持するコンデンサC1と、電源スイッチ2のオフを検出する検出部3と、検出部3が電源スイッチ2のオフを検出した時、走査線駆動回路6へ供給する駆動電圧を所定のカーブに従って徐々に降下させるコントロール部4から構成する。



## 【特許請求の範囲】

【請求項1】 複数の2端子系能動素子を用いるアクティブマトリクス型の液晶表示装置において、前記能動素子を制御するための制御電圧を保持する制御電圧保持手段と、

電源の遮断を検出する検出手段と、

その検出手段が電源の遮断を検出した時から、前記能動素子に掛かる電圧を漸減し始める電圧制御手段とを具備することを特徴とする液晶表示装置。

【請求項2】 請求項1記載の液晶表示装置において、前記能動素子は、走査線と信号線の交差部に配置され、走査線駆動手段と信号線駆動手段によって前記印加電圧が制御されるものであり、

さらに、前記検出手段が電源の遮断を検出した時から、前記走査線駆動手段に複数の走査線を同時に選択するように指示する選択指示信号を発生する信号発生手段を具備することを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、2端子系能動素子を使用する液晶表示装置に関する。

## 【0002】

【従来の技術】 近年、液晶表示装置は、低消費電力で軽量のディスプレイ・デバイスとして、液晶テレビ、パーソナルワープロ、パーソナルコンピュータ等に広く利用されている。そして、今後さらに多くの画像情報を表示するために、画素数、階調数の増加が期待されている。このような、画素数、階調数の増加は、表示画像情報の大容量化を意味し、その結果、液晶表示装置の1ラインの走査期間は次第に短くなり、階調もより細かく制御されてきた。

【0003】 このような液晶表示装置の階調を制御する方法としては、複数のフレーム間で階調制御を行うフレーム変調方式や、選択期間内のデータ信号のパルス高さやパルス幅の制御を行うパルス高変調方式やパルス幅変調方式が従来より用いられている。このうち、パルス幅変調方式は、水平選択期間を階調数に応じた複数の期間に分割し、水平選択期間中のデータ線に、オン成分を加算する期間、すなわち書き込みパルス幅を変えることによって階調表示を行う方式である。

【0004】 また、上述した、画素数と階調数の両方を増加するという要求に応える液晶表示装置の一つにアクティブ・マトリクス型の液晶表示装置がある。アクティブ・マトリクス液晶表示装置は、画素毎に能動素子を設け、それによって画像情報を記憶するということが特徴の一つである。アクティブ・マトリクス液晶表示装置に用いられる能動素子には、アモルファス・シリコン・TFT素子に代表される3端子型素子と、MIM（導体-絶縁体-導体）素子に代表される2端子型素子がある。いずれも、能動素子のスイッチング機能を用いること

で、単純マトリクス液晶表示装置に比べ、駆動ライン数の増加を実現し、大容量の画像情報を表示するものである。

【0005】 2端子型素子には、上記のMIM素子をはじめ、バック・ツー・バック・ダイオード素子、ダイオード・リング素子、バリスター素子などがあり、いずれも非線形な電流-電圧特性を有している。図9は、2端子型能動素子として最も広く利用されているMIM素子の電流-電圧特性を示す図である。横軸はMIM素子に加わる電圧を、縦軸は電流を示しており、電流-電圧特性が非線形であることがわかる。図10は、MIM素子を用いた液晶表示装置の1画素の等価回路を示す図である。駆動電圧を $V_D$ 、液晶層に加わる電圧を $V_{LC}$ 、MIM素子に加わる電圧を $V_{MIM}$ とする。 $R_{LC}$ 、 $C_{LC}$ は、それぞれ液晶層の抵抗値と容量値を、また、 $R_{MIM}$ 、 $C_{MIM}$ は、MIM素子の抵抗値と容量値を示している。液晶表示装置においては、図10に示す等価回路がマトリクス状に構成されている。各等価回路にはそれぞれ複数の走査線及びデータ線の中のいずれか1本の走査線及びデータ線が接続され、所定の走査線とデータ線を選択することで、駆動する画素が選択される。

【0006】 図11は、2端子型能動素子を用いた液晶パネルを駆動する際の理想波形を示す図である。走査側には非選択期間中のリークを抑えるために4値の電圧レベル( $V_{Y1} \sim V_{Y4}$ )を、データ側には2値の電圧レベル( $V_{X1}$ 、 $V_{X2}$ )を用い、パルス幅変調を行った場合の理想波形である。また交流化方法は、この例ではフレーム反転及び1ライン反転を採用している。データ線駆動信号SEGは、中間値を与えるような波形に設定している。また走査信号COMとしては、選択期間( $T_S$ )において、交流化信号(FR)がHighレベルの場合に $V_{Y4}$ の電圧レベルが、Lowレベルの場合に $V_{Y2}$ の電圧レベルが出力される。また、非選択期間( $T_{ns}$ )には、 $V_{Y1}$ または $V_{Y3}$ が出力される。走査線とデータ線にこのような電圧を加えた場合、走査電極とデータ電極の差電圧( $SEG - COM$ )が、図10及び図11に示す液晶素子とMIM素子間に印加される駆動電圧 $V_D$ となる。

【0007】 図12は、階調データが中間調データである場合における、駆動電圧( $V_D$ )、液晶層に加わる電圧( $V_{LC}$ )及びMIM素子に加わる電圧( $V_{MIM}$ )を示している。階調データを表示する際、MIM素子に加わる電圧が高い期間は、データ電圧がON電圧レベルに切り替わる部分であり、この部分でMIM素子の非線形特性によって電流が流れ、液晶素子に電圧が急速に充電される。

## 【0008】

【発明が解決しようとする課題】 ところで、上述した従来の液晶表示装置において、電源をオフした時には、内部のロジック部を駆動する電源の端子電圧であるロジック電圧が、電源のコンデンサ容量と負荷電流に応じて低

下してゆき、ある電圧値以下になった時点で、パネルの駆動回路が動作を停止する。この時点でパネルへ印加される電圧は不定であるが、いずれにしても各走査電極に対しては、 $V_{Y1} \sim V_{Y4}$ のいずれかの電圧が、そして各データ電極に対しては、 $V_{X1}$ または $V_{X2}$ が連続して印加されることとなる。この状態においては、各画素のMIM素子がオフまたはオン状態で一定となるため、液晶層の電圧はより絶対値が大となる方向に充電されてゆき、いったん動作時に充電された電圧が保持され続けるかのどちらかの状態となる。

【0009】いずれにしても液晶およびMIM素子に直流電圧が印加され続ける状態となり、周知のように、双方にとって特性を劣化させる原因となる。また、この電源オフ時に発生する直流電圧の印加は、走査ラインに沿って黒いラインを発生したり、オフ直前の表示をそのまま残存させたりする等の不具合を生じるものであるほか、電源再投入時にフリッカを発生させるものでもあることが知られている。

【0010】この発明は、このような背景の下になされたもので、電源オフ時の液晶及び能動素子の残留電荷を最小に抑えることができる液晶表示装置を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、複数の2端子系能動素子を用いるアクティブマトリクス型の液晶表示装置において、前記能動素子を制御するための制御電圧を保持する制御電圧保持手段と、電源の遮断を検出する検出手段と、その検出手段が電源の遮断を検出した時から、前記能動素子に掛かる電圧を漸減し始める電圧制御手段とを具備することを特徴としている。

【0012】また、請求項2記載の発明は、前記能動素子は、走査線と信号線の交差部に配置され、走査線駆動手段と信号線駆動手段によって前記印加電圧が制御されるものであり、さらに、前記検出手段が電源の遮断を検出した時から、前記走査線駆動手段に複数の走査線を同時に選択するように指示する選択指示信号を発生する信号発生手段を具備することを特徴としている。

【0013】上記構成によれば、電源の遮断が検出された時に、制御電圧を保持した状態で、2端子系能動素子に掛かる電圧が漸減され始めるので、アクティブマトリクス型の液晶表示装置において能動素子に接続されている液晶及び素子自体に電荷が充電されたままの状態では電源が遮断してしまうことがなくなる。また、複数の走査線を同時に選択することによって、短時間で液晶に充電されていた電荷を放電することが可能となる。

#### 【0014】

【発明の実施の形態】以下、図面を参照して、この発明の一実施形態について説明する。図1はこの発明の一実施形態である液晶表示装置を示すブロック図である。こ

の図において1はDC/DCコンバータであり、電源スイッチ2を介して、商用電源を利用した直流電源、バッテリー等によって構成されている直流電源 $V_B$ から供給された直流電圧を、液晶駆動電圧 $V_{Y2a}$ および $V_{Y4a}$ ならびにロジック電圧 $V_{DD}$ に変換して出力する。なお、ロジック電圧 $V_{DD}$ は、ここで説明するようにするのではなく、外部の装置から供給されるようにしてもよい。3は電源オフ検出部であり、ロジック電圧 $V_{DD}$ が低下したことを検出すると制御信号OFFをHighレベルにする。4は液晶駆動電源コントロール部であり、制御信号OFFがHighレベルになったときに、液晶駆動電圧 $V_{Y2a}$ および $V_{Y4a}$ を徐々に低下させながら、液晶駆動電圧 $V_{Y2}$ および $V_{Y4}$ として出力する。

【0015】5はパネルであり、本実施形態では図9及び図10を参照して説明したものと同様のMIM素子を能動素子と液晶から成る画素を、マトリクス状に配置した、アクティブ・マトリクス型液晶パネルを使用している。6は走査線駆動回路であり、液晶駆動電圧 $V_{Y1}$ 、 $V_{Y2}$ 、 $V_{Y3}$ 及び $V_{Y4}$ を用いて、パネル5が有する複数の走査線に接続された複数の走査電極に所定の電圧波形を印加する。7はデータ線駆動回路であり、液晶駆動電圧 $V_{X1}$ 及び $V_{X2}$ （この場合ロジック電圧 $V_{DD}$ と接地電位GND）を用いて、パネル5が有する複数のデータ線に接続された複数のデータ電極に所定の電圧波形を印加する。

【0016】8はロジックコントロール部であり、ロジック電圧 $V_{DD}$ を電源電圧として動作する複数の論理回路から構成されていて、外部から供給される映像信号等に基づいて走査線駆動回路6及びデータ線駆動回路7を制御する。9はコンデンサであり、通常時にはロジック電圧 $V_{DD}$ を安定化するために、また電源スイッチ2がオフした時にはロジック電圧 $V_{DD}$ を所定時間保持するために用いられる。

【0017】以上の構成によって、図1に示す液晶表示装置では、電源スイッチ2がオンしている通常時には、映像信号に基づいてロジックコントロール部8が走査線駆動回路6とデータ線駆動回路7を制御し、パネル5に設けられた各液晶画素の駆動電圧 $V_D$ を制御する（図10参照）。図2はnラインも上（nは自然数）のある液晶画素とn+1ライン上にある液晶画素に印加される駆動電圧 $V_{Dj}$ 波形を示すタイミングチャートである。各画素には走査線とデータ線の各印加電圧の差の電圧が印加されるので、この場合、 $V_{DD} - V_{Y4}$ と $-V_{Y2}$ （ $= 0 - V_{Y2}$ ）が印加されることになる。また、パルス幅制御によって $T_{on}$ の長さを制御することで、液晶電圧 $V_{LC}$ の電圧値が制御される（図中点線で示す曲線）。また、1フレームごとに波形を反転して交流化を行うとともに、1選択期間中においても印加電圧の極性を反転させている。

【0018】一方、電源スイッチ2がオフした時には、電源オフ検出部3でそれを検出し、ロジック電圧 $V_{DD}$ が保持されている間に液晶駆動電源コントロール部4で液

5

晶駆動電圧 $V_{Y2}$ と $V_{Y4}$ をパネル5に固有な最適なカーブに沿って降下させて、液晶層の電圧 $V_{LC}$ を徐々に放電して行く。そして、各駆動回路6、7が動作を停止するまでの間に、液晶層の電圧 $V_{LC}$ を問題のない電圧まで降下させる。図3は電源オフ時における1画素の駆動電圧 $V_D$ と液晶電圧 $V_{LC}$ の波形を示すタイミングチャートである。なお、この場合には、電源オフ時には通常の駆動方法に代えて、すべての走査線が選択される駆動方法を採用している。この方法では、電源をオフした時から、パネル5の駆動回路6、7が動作を停止するまでの時間、すなわち、すべての液晶層の電圧を十分に降下させるのに要する時間を短縮することができる。そして、ロジックコントロール部8が動作を停止したところで駆動電圧 $V_D$ の波形の変化が停止する。電源がオフしてからロジックコントロール部8が動作を停止するまでの時間は、コンデンサ9の容量を適切に設定することで調整することができ、液晶の電圧 $V_{LC}$ が所定値まで降下するのに必要な時間より十分長くなるようにしている。なお、電源オフ時の駆動方法としては、必ずしも走査線が全選択されるものを用いる必要はなく、通常時と同様の駆動方法で駆動しながら液晶の電圧を降下させてもよい。

【0019】以下、図1に示す各部の構成及び動作について詳細に説明する。図4は電源オフ検出部3の内部構成を示す回路図である。図4において41はPNPトランジスタ、42はコンデンサ、43はロジック電圧 $V_{DD}$ でコンデンサ42を充電するダイオード、44、45はトランジスタ41のコレクタ及びベースに接続されている抵抗である。制御信号OFFは、トランジスタ41のコレクタから取り出している。この構成で、ロジック電圧 $V_{DD}$ が定常状態よりも約0.7V低下すると、制御信号OFFがHighレベルになり、電源のオフが検出される。なお、電源オフ検出部3としては、この図に示すものに代えて、汎用の電圧検出IC等を利用してよい。また、バッテリーを備えた機器においては、電源オン／オフの指示用に別途スイッチを設け、そのスイッチが操作された場合に各部の電源を所定のシーケンスに従ってオフするように制御することができる。つまり、ロジック電圧 $V_{DD}$ の低下を検出することでOFF信号を発生させるのではなく、電源オフを指示するスイッチ操作を検出した時にOFF信号を発生させ、駆動電圧を漸減させ始めて後、一定時間後にロジック電圧 $V_{DD}$ をオフするようにすることが可能である。

【0020】図5は液晶駆動電源コントロール部4の構成を示す回路図である。図5において、51、52はPNPトランジスタ、53、54はNPNトランジスタ、55はインバータ、56～59及びR2、R4は抵抗、C2、C4はコンデンサである。この構成では、制御信号OFFがHighレベルになったとき、4個のトランジスタ51～54がオフして、 $V_{Y2}$ 及び $V_{Y4}$ への電圧の供給がオフされる。それ以後、電圧 $V_{Y2}$ 及び $V_{Y4}$

6

は、コンデンサC2と抵抗R2及びコンデンサC4と抵抗R4並びに各電圧が掛かる負荷の大きさに応じて低下して行く。したがって、 $V_{DD}-GND$ 間にあるコンデンサC1（図1参照）をある値以上に設定し、コンデンサC2と抵抗R2、コンデンサC4と抵抗R4による時定数を最適化することにより、液晶駆動電圧を所定のカーブに沿って降下させることが可能となる。なお、 $V_{Y2}$ 及び $V_{Y4}$ への電圧の供給のオフは、図5に示すようにトランジスタ等のスイッチング手段によってオフするのではなく、DC-DCコンバータ1の動作を停止することによってオフするようにすることもできる。

【0021】なお、図5に示す回路では、抵抗R2及びR4に常に電圧 $V_{Y2}$ 、 $V_{Y4}$ が印加されているが、抵抗R2及びR4に直列にトランジスタを1個ずつ挿入し、通常時にはオフさせておき、OFF信号がHighレベルとなったときにのみ、それらのトランジスタをオンするようにして、通常時の消費電力を減少させることも可能である。

【0022】図6は、液晶駆動電源コントロール部4の他の構成例を示す回路図であり、図5に示すものと同様の作用をなす素子には同一の符号を付けている。図6に示す回路は、電源オフ時にDC/DCコンバータ1の動作を停止する場合に用いるものである。また、トランジスタ61と62は、上述した、通常時に抵抗R2とR4で消費される電力を低減するためのものである。

【0023】次に、図7を参照して、電源オフ時に走査線をすべて選択するための構成について説明する。図7において、(a)は、走査線駆動回路6へロジックコントロール部8から供給される制御信号（シフトパルス、DY、SEL）のタイミングチャートを示したものであり、(b)及び(c)は、(a)に示す制御信号に基づいて走査線駆動回路6が内部に備えるシフトレジスタに格納される論理値を表したものである。(b)及び(c)に示すシフトレジスタは、走査電極と同数のレジスタを直列に接続したものであり、各レジスタの出力は、各走査信号COM1、COM2、…、COM240となる。ただし、この場合には、パネル5の走査線の数は240本としている。

【0024】走査線駆動回路6は、制御信号DYによって入力したレベルをシフトパルスに応じて内部のシフトレジスタ上でシフトして行き、極性信号FR（図11参照）とシフトレジスタのレベルによって各走査電極に印加する出力レベルを $V_{y1} \sim V_{y4}$ （同図参照）のいずれかに設定する動作をする。通常駆動時には、いずれか1本の走査線のみが選択されるように走査電極に電圧が印加される。図7(b)は(a)に示す時刻 $t_1$ におけるシフトレジスタの状態を示すものであり、これは通常時の状態を示すものである。一方、図7(c)は、時刻 $t_2$ において電源オフが検出され、それから1フレーム期間が経過した時のシフトレジスタの状態を示すものであ

10

20

30

40

50

る。この場合、すべてのレジスタにHighレベルが格納されている。これは、ロジックコントロール部8において、OFF信号がHighレベルになったことを検出した後に、信号DYをHighレベルに固定したことによってなされたものである。シフトレジスタのすべてのレジスタがHighレベルになると、全走査線が選択された状態となり、シフトパルスごとに $V_{Y2}$ と $V_{Y4}$ の電圧を交互に全走査線に印加することになる(図3参照)。走査線がすべて選択された場合、図5または図6に示したコンデンサC2またはC4に対する負荷がより大きくなるので、全選択をしない場合よりもすみやかに液晶層の電圧を降下させることが可能となる。

【0025】このように図7に示す構成では、電源オフ時に信号DYを固定とすることのみで、走査線的全選択を実現しているので、既存の走査線駆動回路をそのまま使用することができるという利点がある。なお、図7に示した例では、シフトパルスの周波数を通常時と電源オフ時で変化させていないが、電源オフ時にのみシフトパルスの周波数を高くするように動作させることも可能である。この場合には、ロジックコントロール部8に何らか回路変更が必要となるが、シフトパルスの周波数を高くすることで全選択するまで要する時間を短縮することが可能となる。

【0026】図8は、全走査線を選択するための他の構成を示すもののブロック図である。この図に示す構成では、シフトレジスタの各出力を、各々に対応して新たに設けられた2入力論理和ゲートに入力する。各論理和ゲートの他方の入力端子にはすべて新たに設けられた信号SELが入力されている。そして、各走査信号COM1〜COM240は、各論理和ゲートの出力として得られる。この構成では、電源オフ時に、信号SELをHighレベルにすることで、瞬時にすべての走査線を選択することが可能となる。したがって、図7に示す例に比べると、より早く液晶層の電圧を低下することが可能となる。

【0027】なお、以上の実施形態の説明は、MIM素子を用いる液晶表示装置を代表例として述べたものであるが、他の2端子系アクティブ素子についても本発明を応用することが可能である。また、通称「揺さぶり電源」にも応用可能である。

#### 【0028】

【実施例】図1に示すような構成を用い、実験によって確認した結果では、走査線を全選択しない場合に、 $960 \times 240$ ドット、約5インチのMIMを使った液晶表示装置において、フレーム周期60Hzのときに、 $C1 = 470 \mu F$ 、 $C2 = C4 = 10 \mu F$ 、 $R2 = R4 = 4.7 k \Omega$ とし、オフ検出時からパネルの駆動回路が動作を停止するまでの間の時間を70ms、 $V_{Y2}$ 、 $V_{Y4}$ についてはパネルの駆動回路の動作停止時にそれぞれ $V_{DD} + 3V$ 、 $GND - 3V$ となるようなカーブに沿って降下

させたときに、各回路が所望のシーケンスで動作し、液晶層の電荷も十分放電させることができた。

【0029】また、走査線を全選択した場合には、シフトクロックの周波数を変化させなかったとき、 $960 \times 240$ ドット、約5インチのMIMを使った液晶表示装置において、フレーム周期60Hzのときに、 $C1 = 220 \mu F$ 、 $C2 = C4 = 3.3 \mu F$ 、 $R2 = R4 = 4.7 k \Omega$ とし、オフ検出時からパネルの駆動回路が動作を停止するまでの間の時間を30ms、 $V_{Y2}$ 、 $V_{Y4}$ についてはパネルの駆動回路の動作停止時にそれぞれ $V_{DD} + 3V$ 、 $GND - 3V$ となるようなカーブに沿って降下させたときに、短時間の動作にて全選択しない場合と同様の良好な結果を得ることができた。

【0030】さらに、電源オフ時に、ロジックコントロール部8から走査線駆動回路6へ通常時の2倍の周波数のシフトパルスを入力したときには、 $C1 = 100 \mu F$ 、 $C2 = C4 = 1.0 \mu F$ 、 $R2 = R4 = 4.7 k \Omega$ の値で、通常の周波数のシフトパルスを入力する場合と同様の結果を得ることができた。

#### 【0031】

【発明の効果】以上説明したように、この発明によれば、電源の遮断が検出された時に制御電圧を保持した状態で2端子系能動素子に掛かる電圧が漸減され始めるので、アクティブマトリクス型の液晶表示装置において能動素子に接続されている液晶及び素子自体に電荷が充電されたままの状態では電源が遮断してしまうことがなくなる。また、複数の走査線を同時に選択することによって、短時間で液晶に充電されていた電荷を放電することが可能となる。したがって、この発明によれば、電源オフ時の素子及び液晶の残留電荷を最小に抑えることができるという効果がある。

#### 【図面の簡単な説明】

【図1】この発明の一実施形態による液晶表示装置の構成を示すブロック図である。

【図2】図1に示す液晶表示装置における駆動電圧の通常時の波形を示すタイミングチャートである。

【図3】図1に示す液晶表示装置における駆動電圧の電源オフ時の波形を示すタイミングチャートである。

【図4】図1に示す電源オフ検出部3の構成例を示す回路図である。

【図5】図1に示す液晶駆動電源コントロール部4の構成例を示す回路図である。

【図6】図1に示す液晶駆動電源コントロール部4の他の構成例を示す回路図である。

【図7】図1に示す走査線駆動回路6の内部のシフトレジスタの動作を説明するためのタイミングチャート

(a)、通常時のシフトレジスタの状態(b)及び電源オフ時のシフトレジスタの状態(c)を示す図である。

【図8】図7に示すシフトレジスタの変形例を示すプロ

10

20

30

40

50

【符号の説明】

### 3 電源オフ検出部

#### 4 液晶駆動電源コントロール部

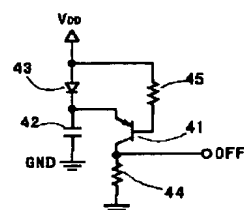
## 5 パネル

## 6 走査線駆動回路

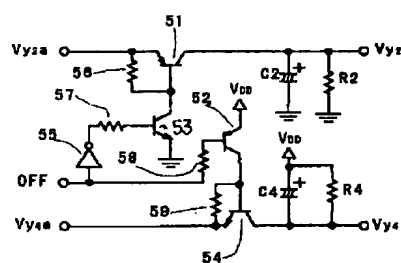
## 7 データ線駆動回路

## 8 ロジックコントロール部

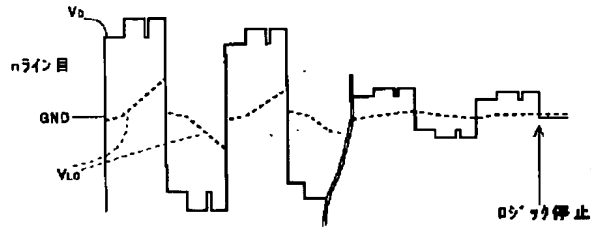
【图 4】



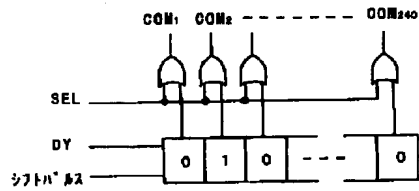
【図 5】



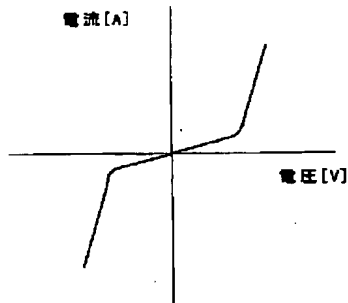
【図3】



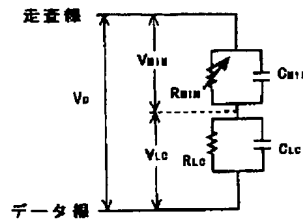
【図8】



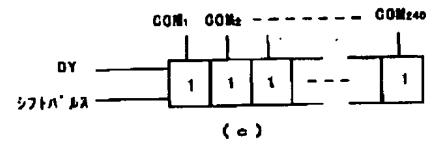
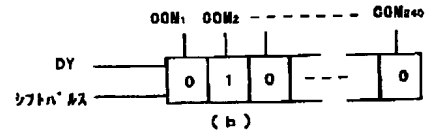
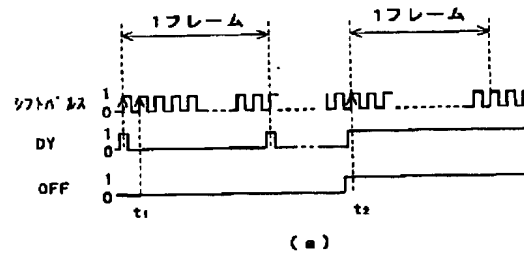
【図9】



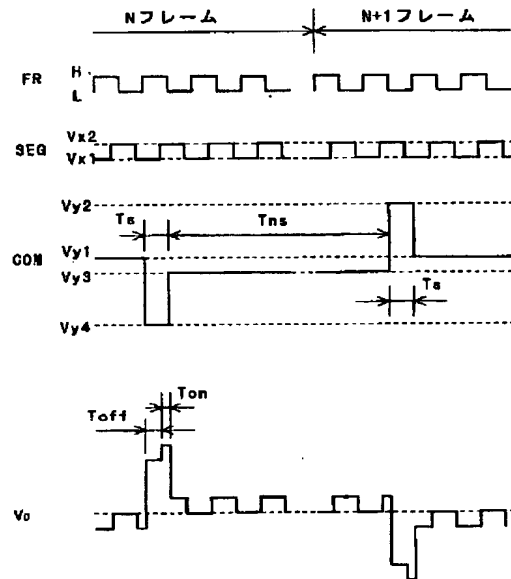
【図10】



【図7】



【図11】





【図12】

